

539,987

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 7 月 29 日 (29.07.2004)

PCT

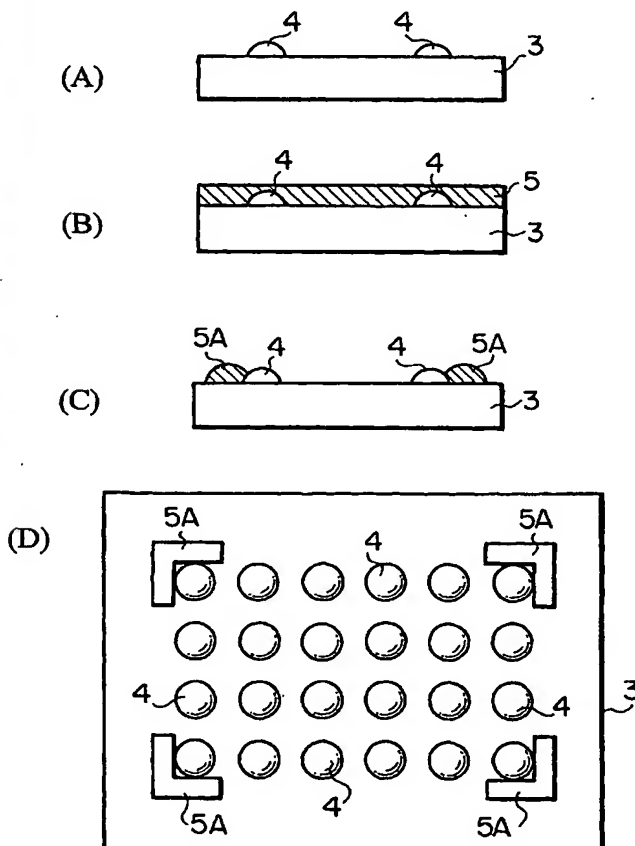
(10) 国際公開番号
WO 2004/064142 A1

- (51) 国際特許分類⁷: H01L 21/60, H05K 3/34 (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒1050001 東京都港区虎ノ門 1 丁目 2 番 3 号虎ノ門第一ビル 9 階三好内外国特許事務所内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/000197
- (22) 国際出願日: 2004 年 1 月 14 日 (14.01.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-008026 2003 年 1 月 16 日 (16.01.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 仙田 亜由美 (SENDA, Ayumi) [JP/JP].
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: When a semiconductor chip is mounted on a mounting board by bonding bumps to each other, failure of bonding occurs due to mutual positional shift of the bumps. Before a semiconductor chip having a plurality of bumps formed thereon is mounted on a mounting board (3) having a plurality of bumps (4) formed thereon by flip-chip system, a resist layer (5) is formed thicker than the bump (4) on the mounting board (3) on which bumps are formed and then patterned to form a protrusion guide (5A) of semicircular cross-section protruding from the bump (4) forming face in the vicinity of the bump (4) and having a guide face (curved surface) directing toward the bump (4) side on the mounting board (3).

(57) 要約: バンプ同士の接合によって半導体チップを実装基板に実装する場合に、バンプ相互の位置ずれによって接合不良が発生する。複数のバンプが形成された半導体チップを、複数のバンプ (4) が形成された実装基板 (3) にフリップチップ方式で実装するのに先立って、バンプ形成済みの実装基板 (3) にバンプ (4) よりも厚くレジスト層 (5) を形成し、このレジスト層 (5) をパターニングすることにより、バンプ (4) の近傍で当該バンプ (4) の形成面から突出し、かつ、当該バンプ (4) 側に向くガイド面 (曲面) を有する断面半円状の突状ガイド (5A) を実装基板 (3) 上に形成する。

WO 2004/064142 A1



CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU,
MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置及びその製造方法

5

技術分野

本発明は、 bumps 同士の接合によって半導体チップを実装基板に実装する際に用いて好適な半導体装置の製造方法と、これによって製造される半導体装置に関する。

10

背景技術

現在、高性能な半導体装置のパッケージ形態の一つとして、CPU（中央演算処理装置）やメモリなどの複数のLSI（Large Scale Integration）デバイスを単一のパッケージに形成してシステム化を実現したSIP（System in Package）が知られている。SIPの中には、複数の半導体チップを共通の実装基板（インターポーザ）に実装したパッケージ形態を採用したものがある。また、SIPの実装基板として、これに実装される半導体チップよりも大径の半導体チップを採用したもの（チップオンチップ型のSIP）もある。

15

このようなSIPのパッケージ形態を採用した半導体装置の実装方式として、近年では、多ピン化や狭ピッチ化に対応するために、フリップチップ方式が実用化されている。フリップチップ方式では、半導体チップの電極上に bumps（金属突起）を形成し、この bumps を介して当該半導体チップを実装基板に実装することから、 bumps の形成方法や接合方法が重要な技術となっている。

25

また、フリップチップ方式では、複数の bumps を形成した半導体チッ

プを、同じく複数の bumps を形成した実装基板にフリップチップボンダーで実装する場合がある。このような実装構造をもつ S I P などの半導体パッケージは、通常の有機基板を用いたパッケージに比べて、小型、薄型で、しかも低消費電力で高速動作するといった特長を有するものとなっている。また、S I P は、C P U やメモリの機能を一つの高性能チップ（例えば D R A M / L O G I C 混載の L S I チップ）に盛り込むことによりシステム化を実現した S O C (System on Chip) などに比べて、コスト、開発 T A T (Turn Around Time)、動作速度などの点で優れることから、小型・軽量の携帯用電子機器だけにとどまらず、全てのエレクトロニクス機器に広く利用し得るものとなっている。

図 5 A と図 5 B は従来の半導体装置の製造方法を説明する図である。先ず、図 5 A に示すように、半導体チップ 1 の電極上に bump 2 を形成するとともに、これに対応する実装基板 3 の電極上にも bump 4 を形成する。そして、実装基板 3 を図示しないステージ上に固定するとともに、半導体チップ 1 を図示しない真空チャックで吸着保持する。そして、ステージの上方に実装基板 3 と対向する状態で半導体チップ 1 を配置する。このとき、bump やパターンを用いた画像認識処理等によって半導体チップ 1 の bump 2 と実装基板 3 の bump 4 との位置合わせ（アライメント）を行う。

その後、図 5 B に示すように、真空チャックを下降させることにより、半導体チップ 1 の bump 2 を実装基板 3 の bump 4 に接触させる。そして、この接触状態で真空チャックにより半導体チップ 1 を下方に加圧するとともに、所定の温度に加熱して bump 2, 4 同士を接合する。

ここで従来においては、半導体チップ 1 と実装基板 3 との位置合わせに狂いが生じないように、ダミーサンプルなどを用いて位置合わせの確認を行っているものの、bump 2, 4 がボール状に形成されている場合な

どでは、僅かな位置合わせの狂いがバンプの接合性、さらには半導体装置の電気的な特性に大きな影響を与える。すなわち、図 6 A に示すように、実装基板 3 のバンプ 4 の中心位置（一点鎖線で示す）に対して半導体チップ 1 のバンプ 2 の中心位置がずれていると、図 6 B や図 6 C に示すように、バンプ 2, 4 を互いに接触させて加圧したときに、バンプ同士 2, 4 が滑って半導体チップ 1 と実装基板 3 の位置ずれが大きくなる。

これにより、図 6 D や図 6 E に示すように、実装基板 3 の面方向（図の左右方向）で半導体チップ 1 の位置が矢印方向にずれるため、バンプ 2, 4 の位置関係に大きな狂いが生じ、この状態でバンプ 2, 4 が接合されてしまう。その結果、半導体チップ 1 と実装基板 3 間のバンプ接合部では、接触面積の縮小によって抵抗値が高くなったり、場合によってはオープン不良やショート不良を招く恐れがある。

そこで、例えば、特許文献 1（特開 2 0 0 0 - 1 0 0 8 6 8 号公報（段落 0 0 2 2 ～ 0 0 2 7、図 3））には、配線基板の配線層形成面に絶縁樹脂層を形成するとともに、この絶縁樹脂層にテーパ形状の開口部を形成し、この開口部内にはんだ層を形成する一方、半導体チップのアルミ電極端子上にボール状の金バンプを形成し、この金バンプを上記絶縁樹脂層の開口部内のはんだ層に圧接して加熱することにより、熔融軟化したはんだ層に金バンプを貫入させるとともに、軟化した絶縁樹脂層の上面を半導体チップの電極端子形成面に密着させることにより、半導体チップの金バンプと配線パッド部との接合部を絶縁樹脂層で被覆・封止する「半導体装置の製造方法」が記載されている。

しかしながら、上記特許文献 1 に記載された製造方法では、絶縁樹脂層の開口部内のはんだ層に半導体チップの金バンプを貫入する際に、加熱によって絶縁樹脂層が軟化した状態にあるため、仮に、金バンプと開口部の位置関係が相対的にずれていた場合は、金バンプが開口部を押し

広げる形で絶縁樹脂層にめり込んだ状態となる。したがって、絶縁樹脂層の開口部は、金バンプとの位置ずれを防止する機能を果たすことない。また、上記特許文献 1 に記載された製造方法は、バンプ同士を接触させて接合するものでもない。よって、上記特許文献 1 に記載された製造方法では、本発明が解決しようとする課題、すなわち上述のように半導体チップ 1 をフリップチップ方式で実装基板 3 に実装する場合に、バンプ 2, 4 相互の位置ずれによって接合不良が発生するという課題を解決することはできない。

10 発明の開示

本発明に係る半導体装置の製造方法は、複数のバンプが形成された半導体チップを、複数のバンプが形成された実装基板にフリップチップ方式で実装するのに先立って、半導体チップ及び実装基板の少なくとも一方に、バンプの近傍で当該バンプの形成面から突出し、かつ、当該バンプ側に向くガイド面を有する突状ガイドを形成するものである。

上記半導体装置の製造方法においては、実装基板に半導体チップを実装する際に、例えば、実装基板に予め突状ガイドを形成しておくことにより、バンプ相互の位置に若干のずれが生じていても、バンプ接合時には突状ガイドのガイド面に半導体チップのバンプが接触し、この状態で加圧力が加えられることにより、バンプ相互の位置ずれが修正される。

図面の簡単な説明

図 1 は、本発明の実施形態に係る半導体装置の製造方法の具体例を説明する図（その 1）である。

図 2 A ～ 図 2 C は、本発明の実施形態に係る半導体装置の製造方法の具体例を説明する図（その 2）である。

図 3 A と図 3 B は、本発明の実施形態に係る半導体装置の製造方法の具体例を説明する図（その 3）である。

図 4 A と図 4 B は、突状ガイドの断面形状の他の例を示す図である。

図 5 A と図 5 B は、従来の半導体装置の製造方法を説明する図である。

5 図 6 A ～図 6 E は、従来方法の課題を説明する図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

本発明に係る半導体装置の製造方法は、半導体チップを実装基板に実装するにあたって、両者の電極部分をバンプ同士の接合によって電氣的に接続するフリップチップ方式を採用したもので、以下にその具体的な手順を述べる。

図 1 ～図 3 B は本発明の実施形態に係る半導体装置の製造方法の具体例を説明する図である。なお、本実施形態においては、上記従来技術で挙げた構成要素と同様の部分に同じ符号を付して説明することとする。

10 先ず、図 1（A）に示すように、半導体チップが実装される実装基板 3 のチップ実装面上に複数のバンプ 4 を形成する。各々のバンプ 4 は、バンプ接合時の加熱温度で熔融しない金属、例えば、はんだ等の金属バンプからなるもので、実装基板 3 のチップ実装面に設けられた電極パッド上にボール状に形成される。バンプの形成方法としては、ウエハの段階でめっき法により形成する方法が一般的であるが、これ以外にも、例えば、浸漬法や、めっき後のリフロー方式などで形成することも可能である。

20 次に、図 1（B）に示すように、実装基板 3 のチップ実装面上の全面にレジストを塗布（コーティング）してレジスト層 5 を形成する。レジスト材料としては、後述するバンプ接合時の加熱温度でバンプよりも硬

質となる材料、例えば、エポキシ樹脂、フェノール樹脂等の熱硬化性樹脂を用いる。また、実装基板 3 のチップ実装面を基準としたレジスト層 5 の厚み寸法が、樹脂硬化後の仕上がり状態でバンプ 4 の高さ寸法よりも大きくなるように、レジストの塗布厚を調整する。さらに好ましくは、

5 上記レジスト層 5 の厚み寸法が、樹脂硬化後の仕上がり状態で、図示しない半導体チップと実装基板 3 間の規定ギャップ寸法と同じか、それよりも小さくなるように、レジストの塗布厚を調整する。ここで記述するレジスト層 5 の厚み寸法は後述する突状ガイド 5 A の高さ寸法に相当するものとなる。

- 10 その後、実装基板 3 上のレジスト層 5 を所定の形状にパターニングすることにより、図 1 (C)、(D) に示すように、最外周の 4 つの隅部（コーナー部）に位置するバンプ 4 の近傍にそれぞれ平面視 L 字形（鍵型）の突状ガイド 5 A を形成する。レジスト層 5 のパターニングは、先ず、図示しないフォトマスクを用いた紫外線の照射によりレジスト層 5
- 15 を露光した後、不要なレジスト材料を現像によって除去し、その後、実装基板 3 上に残っているレジスト材料を熱硬化させることにより行う。このパターニングによって得られた突状ガイド 5 A の断面形状が長方形となった場合は、所望のガイド機能を果たすことができないため、これをスパッタリングなどによって所定の形状に成形加工する。ここでは、
- 20 一例として、突状ガイド 5 A の断面形状が略半円状となるように成形加工する。

これにより、実装基板 3 のチップ実装面にバンプ 4 の形成面から突出した状態で突状ガイド 5 A が形成される。この突状ガイド 5 A は、上述のように断面略半円状に成形されることから、バンプ 4 に向いた側の曲面が、実装基板 3 のバンプ形成面（実質的にチップ実装面と同一面）に

25 対して鈍角をなす斜線（不図示）に沿ったガイド面となる。このガイド

面は、 bumps 同士を接合するとき（ bumps 接合時）に、後述する半導体チップ 1 側の bumps 2 を実装基板 3 の bumps 4 に確実に接合させるための位置合わせ用のガイド面となる。

このようなガイド面を有する突状ガイド 5 A を形成するにあたって、
5 上記パターニング前の処理工程では、突状ガイド 5 A の元になるレジスト層 5 の厚み寸法が、樹脂硬化後の仕上がり状態で bumps 4 の高さ寸法よりも大きくなるように、レジストの塗布厚を調整していることから、突状ガイド 5 A の高さ寸法は bumps 4 の高さ寸法よりも大きくなる。

続いて、図 2 A に示すように、予め bumps 2 が形成された半導体チップ 10 プ 1 をフェースダウンで真空チャック 6 により吸着保持するとともに、上述のように突状ガイド 5 A を形成した実装基板 3 をフリップチップボンダーのステージ 7 上に固定する。なお、ステージ 7 上に実装基板 3 を固定する際には、これに先だってダミーサンプルを用いたステージ 7 の位置合わせ（粗調整）を行う。そして、ステージ 7 に実装基板 3 をセットした後は、真空チャック 6 で保持した半導体チップ 1 をステージ 7 の
15 上方に実装基板 3 に対向する状態で配置し、この状態でフリップチップボンダーが備える画像認識システムにより、半導体チップ 1 と実装基板 3 との相対的な位置合わせ（微調整）を行う。この位置合わせは、ステージ 7 の水平移動によって行ってもよいし、真空チャック 6 の水平移動
20 によって行ってもよい。

次いで、図 2 B に示すように、実装基板 3 のチップ実装面上に封止用のアンダーフィル材 8 をディスペンサ等によって塗布する。アンダーフィル材 8 の塗布領域は、実装基板 3 のチップ実装面上で最外周に配置された bumps 4 を囲む領域までにとどめる。その際、アンダーフィル材 8
25 の代わりに、ACF (Anisotropic Conductive Film) や NCF (Non-Conductive Film) などの接着フィルムを予め実装基板 3 のチップ

実装面に貼り付けておいてもよい。

続いて、図 2 C に示すように、真空チャック 6 を下降させることにより、半導体チップ 1 の bumps 2 を実装基板 3 の bumps 4 に接触させる。

このとき、実装基板 3 上に塗布したアンダーフィル材 8 が半導体チップ 1 によって押し潰され、これによって半導体チップ 1 と実装基板 3 の間にアンダーフィル材 8 が充填された状態になる。

また、bumps 2, 4 同士を接触させるにあたって両者の位置が若干ずれていても、図 3 A に示すように、半導体チップ 1 の bump 2 が突状ガイド 5 A の内側の曲面（ガイド面）に接触し、この状態で真空チャック 6 が半導体チップ 1 を矢印方向に加圧することになる。そのため、真空チャック 6 に保持された半導体チップ 1 は、図 3 B に示すように、突状ガイド 5 A の曲面上を bump 2 が滑り落ちることで左方向（図中矢印方向）、すなわち bumps 2, 4 相互の位置ずれが小さくなる方向（位置ずれが修正される方向）に変位する。

その結果、半導体チップ 1 を実装基板 3 に実装するにあたって、bumps 2, 4 相互の位置ずれを有効に修正して bump 接合の安定性を高めることができる。また、ダミーサンプルを用いたアライメント調整も、それほど高い精度が要求されなくなるため、これに要する調整時間を大幅に短縮し、生産性向上を図ることができる。ちなみに、上記製造方法によって得られた半導体装置では、実装基板 3 上に突状ガイド 5 A が形成されたものとなる。

また、突状ガイド 5 A の高さ寸法を、半導体チップ 1 と実装基板 3 との間に規定される規定ギャップ寸法と同一寸法とすることにより、半導体チップ 1 と実装基板 3 との間で突状ガイド 5 A をスペーサとして機能させることができる。これにより、半導体チップ 1 と実装基板 3 との間のギャップ寸法を、突状ガイド 5 A の高さ寸法をパラメータとして精度

良く制御することが可能となる。

なお、上記実施形態においては、実装基板 3 上で最外周の 4 隅に配置されたパンプ 4 の近傍にそれぞれ突状ガイド 5 A を形成したが、突状ガイド 5 A を形成する際の配置や個数は任意に変更可能である。また、半導体チップ 1 上に上記同様の突状ガイド 5 A を形成したり、半導体チップ 1 と実装基板 3 の両方に上記同様の突状ガイド 5 A を形成してもよい。ただし、半導体チップ 1 と実装基板 3 の両方に突状ガイド 5 A を形成するにあたっては、パンプ接合時に双方の突状ガイド 5 A が互いに干渉(接触)しないように配慮する必要がある。

- 10 また、上記実施形態においては、突状ガイド 5 A の断面形状を半円状に成形するとしたが、これに限らず、例えば、図 4 A に示すような三角形としたり、図 4 B に示すような台形としてもよい。図 4 A、図 4 B に示す断面形状を採用した突状ガイド 5 A の場合は、パンプ形成面に対して鈍角をなす斜線に沿った傾斜面がパンプ接合時のガイド面として形成
15 されることになる。

産業上の利用可能性

- 以上説明したように本発明によれば、複数のパンプが形成された半導体チップを、複数のパンプが形成された実装基板にフリップチップ方式
20 で実装する際に、これに先立って、半導体チップ及び実装基板の少なくとも一方に、パンプの近傍で当該パンプの形成面から突出し、かつ、当該パンプ側に向くガイド面を有する突状ガイドを形成するようにしたので、パンプ接合時は突状ガイドのガイド面でパンプ相互の位置ずれを修正し、安定した接合状態を得ることができる。

請 求 の 範 囲

1. 複数のバンプが形成された半導体チップを、複数のバンプが形成された実装基板にフリップチップ方式で実装するのに先立って、

- 5 前記半導体チップ及び前記実装基板の少なくとも一方に、前記バンプの近傍で当該バンプの形成面から突出し、かつ、当該バンプ側に向くガイド面を有する突状ガイドを形成する

ことを特徴とする半導体装置の製造方法。

- 10 2. 前記突状ガイドのガイド面を、前記バンプの形成面と鈍角をなす斜線に沿った傾斜面又は曲面によって形成する

ことを特徴とする請求項1記載の半導体装置の製造方法。

3. 前記突状ガイドを、前記半導体チップ上又は前記実装基板上で最外周の4隅に配置されたバンプの近傍に形成する

ことを特徴とする請求項1記載の半導体装置の製造方法。

- 15 4. 前記突状ガイドを、バンプ接合時の加熱温度で前記バンプよりも硬質となる材料を用いて形成する

ことを特徴とする請求項1記載の半導体装置の製造方法。

5. 前記突状ガイドを、前記バンプの近傍で平面視略L字形に形成する

- 20 ことを特徴とする請求項1記載の半導体装置の製造方法。

6. 前記突状ガイドの高さ寸法が、その近傍のバンプの高さ寸法よりも大きくなるように、前記突状ガイドを形成する

ことを特徴とする請求項1記載の半導体装置の製造方法。

- 25 7. 前記突状ガイドの高さ寸法が、前記半導体チップと前記実装基板との間の規定ギャップ寸法とほぼ同一寸法又は当該規定ギャップ寸法よりも小さい寸法となるように、前記突状ガイドを形成する

ことを特徴とする請求項 6 記載の半導体装置の製造方法。

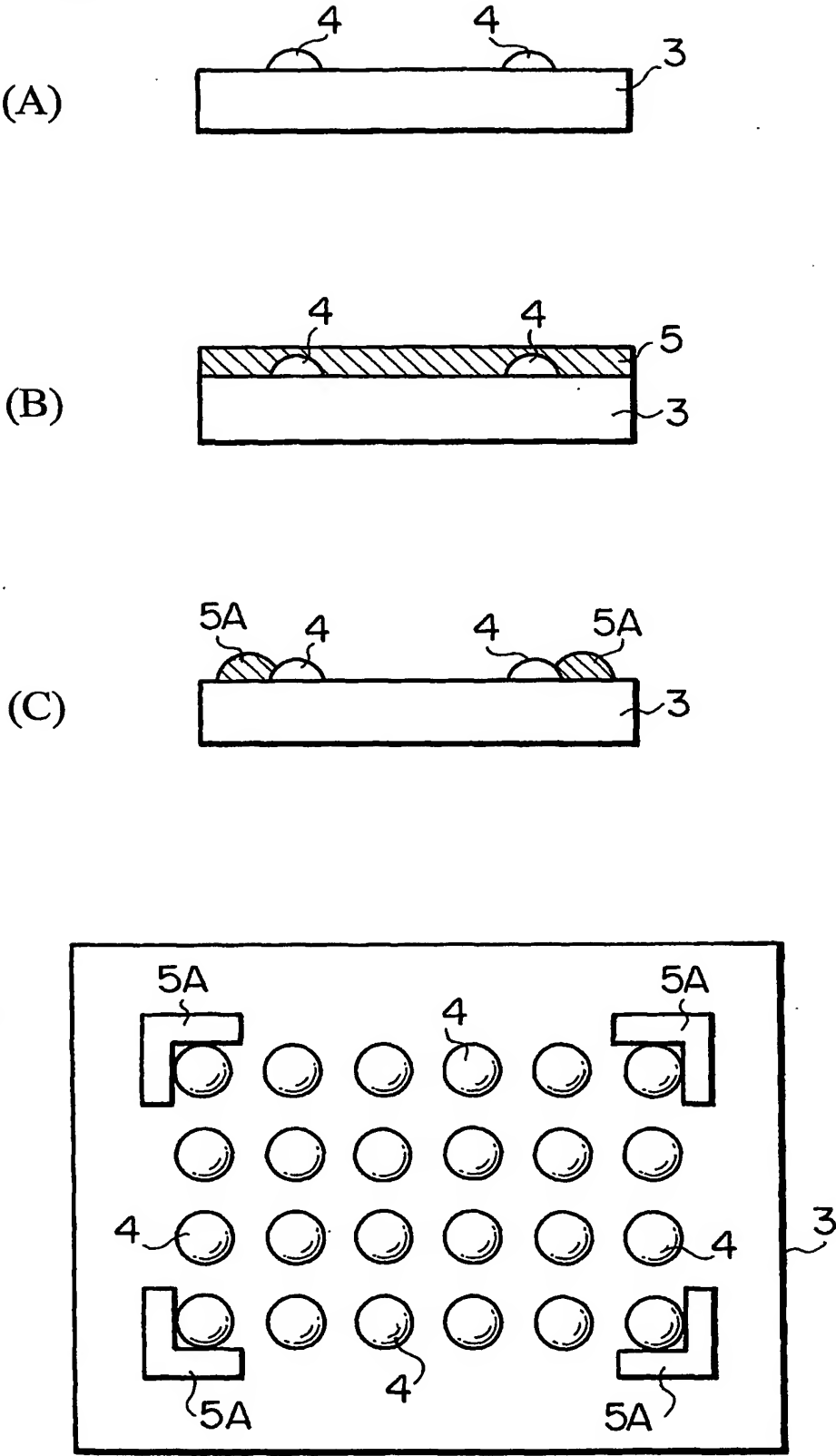
8. 複数のバンプが形成された半導体チップを、複数のバンプが形成された実装基板にフリップチップ方式で実装してなる半導体装置であって、

- 5 前記半導体チップ及び前記実装基板の少なくとも一方に、前記バンプの近傍で当該バンプの形成面から突出し、かつ、当該バンプ側に向くガイド面を有する突状ガイドが形成されている

ことを特徴とする半導体装置。

1/4

Fig.1



2/4

Fig.2A

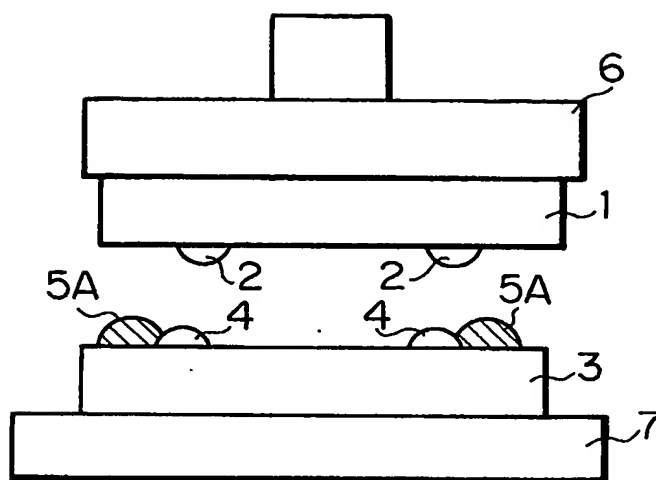


Fig.2B

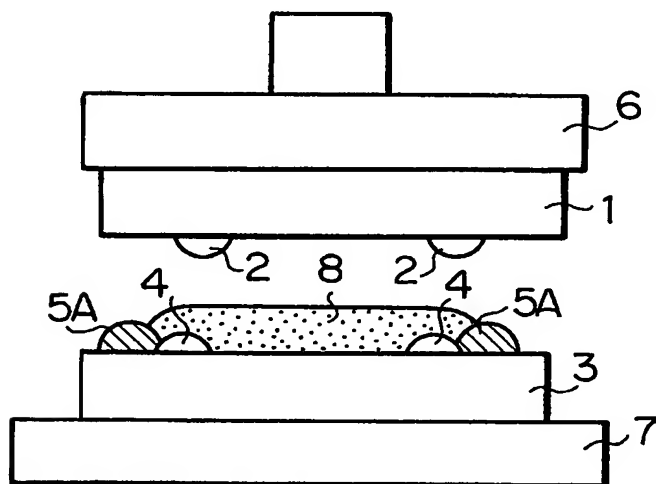
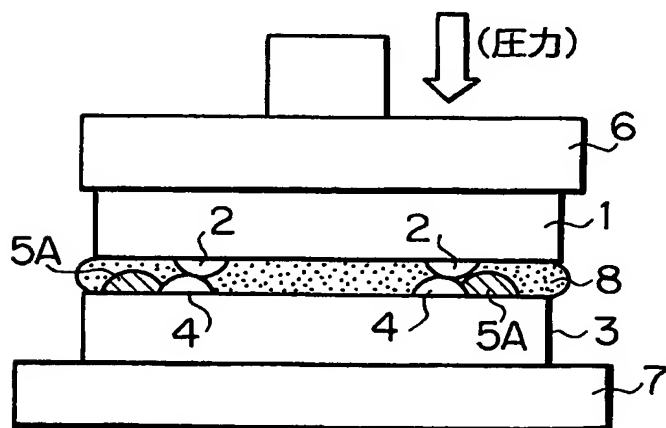


Fig.2C



3/4

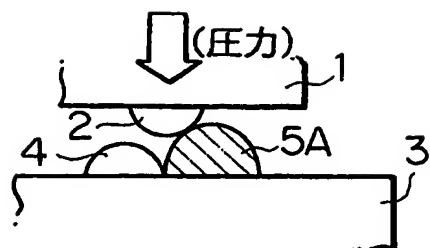


Fig.3A

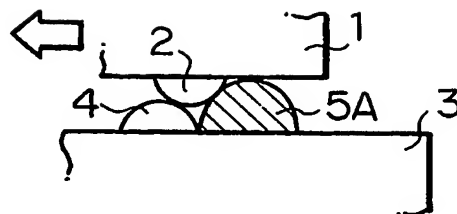


Fig.3B

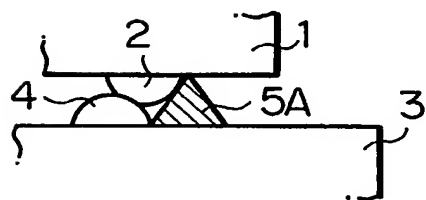


Fig.4A

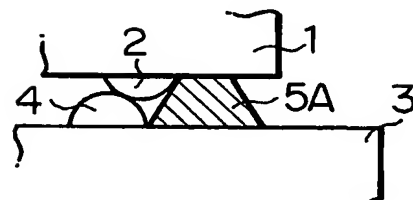


Fig.4B

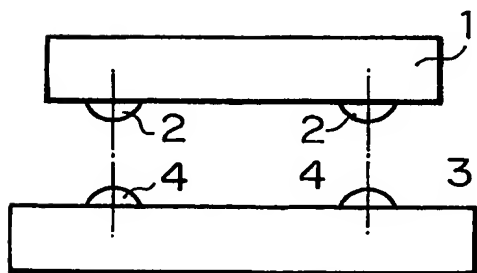


Fig.5A

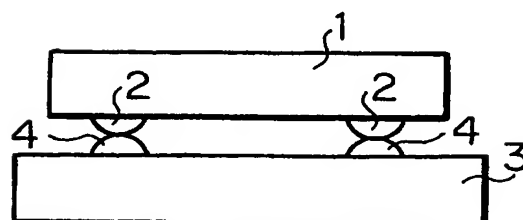


Fig.5B

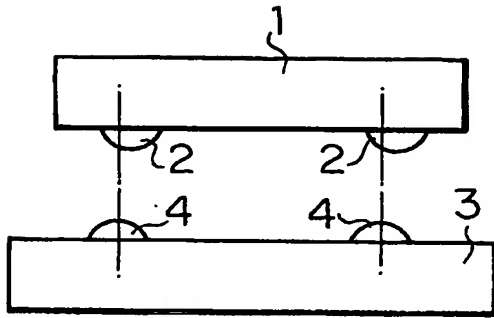


Fig. 6A

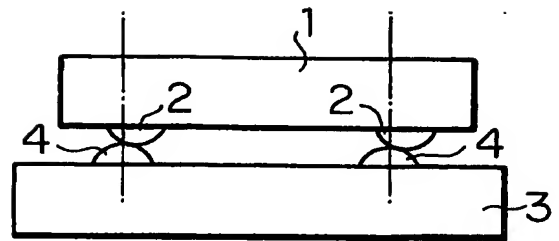


Fig. 6B

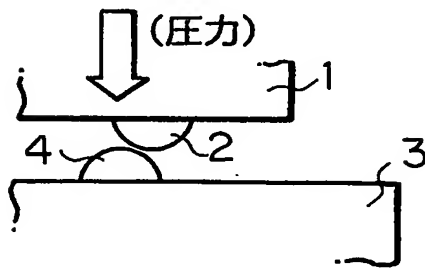


Fig. 6C

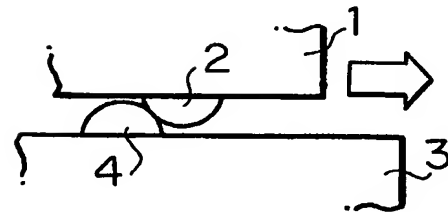


Fig. 6D

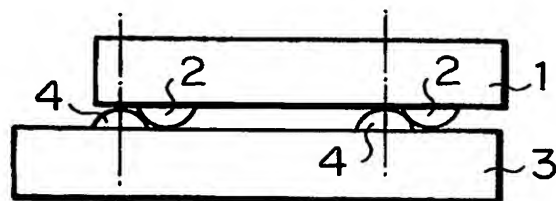


Fig. 6E

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000197

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/60, H05K3/34

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L21/60, H05K3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-270030 A (Hitachi, Ltd.), 02 December, 1991 (02.12.91), Full text; Figs. 1 to 16 (Family: none)	1-8
Y	JP 5-145224 A (Matsushita Electric Industrial Co., Ltd.), 11 June, 1993 (11.06.93), Full text; Figs. 1 to 4 & JP 3006238 B2	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
03 February, 2004 (03.02.04)

Date of mailing of the international search report
17 February, 2004 (17.02.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl¹ H01L21/60, H05K3/34

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl¹ H01L21/60, H05K3/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 3-270030 A(株式会社日立製作所)1991.12.02, 全文, 第1-16図 (ファミリーなし)	1-8
Y	JP 5-145224 A(松下電器産業株式会社)1993.06.11, 全文, 図1-4 & JP 3006238 B2	1-8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

03.02.2004

国際調査報告の発送日

17.2.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 篤

4 R

9544

電話番号 03-3581-1101 内線 3469